

03009

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-173279
 (43)Date of publication of application : 23.06.2000

(51)Int.Cl.

G11C 16/02
G11C 16/06

(21)Application number : 10-342850

(71)Applicant : NEC CORP

(22)Date of filing : 02.12.1998

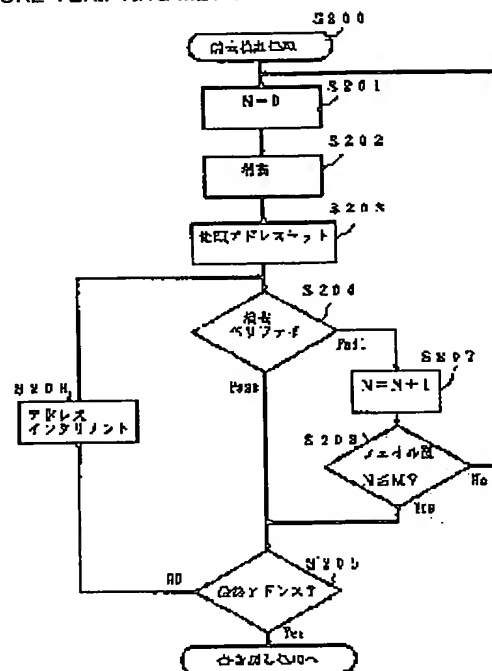
(72)Inventor : OSANAWA KOJI

(54) NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS ERASURE VERIFYING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable performing erasure verifying of a non-volatile memory cell in a short time.

SOLUTION: Write-in and erasure are performed for a non-volatile memory cell, erasure verification processing discriminating whether the memory cell is in the prescribed level state or not is performed successively for each one memory cell (S201-S204), while the number of memory cells which does not reach the prescribed level are counted (S207), until the count value N exceeds a setting value M set corresponding to the number of redundant memory cells which can be switched for a memory cell (S208), erasure verification processing for the next memory cell is continued successively (S205, S206), when the count value exceeds the setting value M, erasure verification processing for all memory cells is performed again from the beginning (S201-). Thereby, the number of times of repeating erasure for a memory cell can be suppressed to the minimum numbers, a time for erasure verification processing is shortened, and a time for rewriting processing is shortened by suppressing surplus erasure of memory cells.



LEGAL STATUS

[Date of request for examination] 02.12.1998

[Date of sending the examiner's decision of rejection] 06.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-173279
(P2000-173279A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl.⁷

識別記号

F I

キーワード (参考)

G 1 1 C 16/02
16/06

G 1 1 C 17/00

6 0 1 B 5 B 0 2 5
6 1 2 B
6 3 9 B

審査請求 有 請求項の数10 O L (全 11 頁)

(21) 出願番号

特願平10-342850

(22) 出願日

平成10年12月2日 (1998.12.2)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 長縄 浩司

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100081433

弁理士 鈴木 章夫

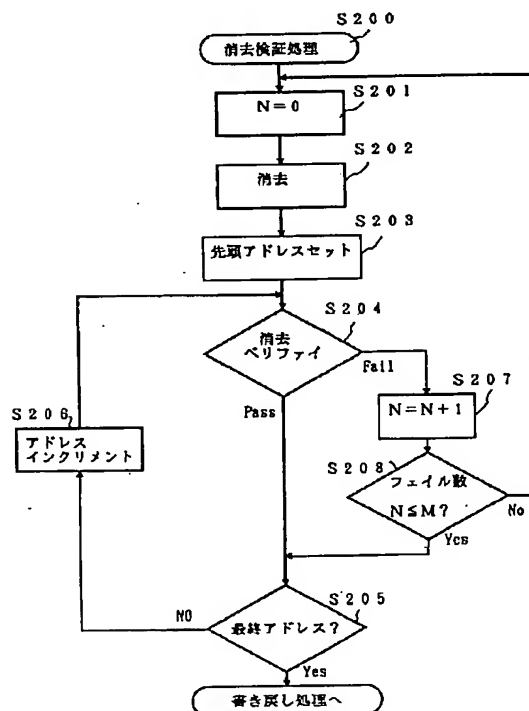
Fターム (参考) 5B025 AA01 AC01 AD08 AD13 AE05

(54) 【発明の名称】 不揮発性半導体記憶装置とその消去検証方法

(57) 【要約】

【課題】 不揮発性メモリセルの消去検証を短時間で行うことを可能にした不揮発性半導体記憶装置とその消去検証方法を提供する。

【解決手段】 不揮発性メモリセルに対して書き込み及び消去を行ない、かつ当該メモリセルが所定のレベル状態であるか否かを判定する消去検証処理を1メモリセル毎に順次行う (S201~S204) とともに、所定のレベルに達していないメモリセルの個数をカウントし (S207)、そのカウント値Nがメモリセルとの切り替えが可能な冗長メモリセルの数に対応して設定される設定値Mを越えるまでは (S208)、順次次のメモリセルに対する消去検証処理を継続し (S205, S206)、前記カウント値が前記設定値Mを越えたときは、全メモリセルに対する消去検証処理を最初からやり直す (S201~)。メモリセルに対する消去の繰り返し回数を最小限の数に抑えることができ、消去検証処理の時間を短縮し、かつメモリセルの過剰消去を抑制して書き戻し処理の処理時間を短縮する。



【特許請求の範囲】

【請求項1】 不揮発性メモリセルと、前記メモリセルと切り替え可能な冗長メモリセルと、前記不揮発性メモリセルに書き込みを行い、かつその後消去を行う手段と、前記不揮発性メモリセルの消去状態を1メモリセル毎に順次検証する消去検証手段と、所定の消去状態にないメモリセルをカウントするカウント手段と、前記カウント手段のカウント値を前記冗長メモリセル数に基づいて設定された設定値と比較する比較手段と、前記比較手段における比較結果に基づいて前記消去検証手段、前記カウント手段、及び前記比較手段を制御する制御手段とを備え、前記制御手段は、前記カウント値が前記設定値を越えるまでは前記消去検証手段、前記カウント手段及び前記比較手段を、次に検証するメモリセルに対して実行する制御を行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記比較手段に設定される設定値を、前記冗長メモリセルの切り替え可能な数に設定する設定手段を備える請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記制御手段は、前記カウント値が設定値を越えたときには、最初に検証したメモリセルから再度消去検証を行う制御をする請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項4】 前記制御手段は、前記カウント値が前記設定値以下で消去検証処理が終了したときには、前記所定の消去状態にないメモリセルを前記冗長メモリセルに切り替える機能を有する請求項1ないし3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】 不揮発性メモリセルと、前記メモリセルと切り替え可能な冗長メモリセルとを備え、前記不揮発性メモリセルに対して書き込み及び消去を行ない、かつ当該メモリセルが所定のレベル状態であるか否かを判定する消去検証処理を含む方法であって、前記メモリセルの消去検証処理を1メモリセル毎に順次行くとともに、前記所定のレベルに達していないメモリセルの個数をカウントし、前記カウント値が前記冗長メモリセルの数に基づいて設定される設定値を越えるまでは、次のメモリセルに対する消去検証処理を継続することを特徴とする消去検証方法。

【請求項6】 前記カウント値が前記設定値を越えたときは、全メモリセルに対する消去検証処理を最初からやり直すことを特徴とする請求項5に記載の消去検証方法。

【請求項7】 前記設定値として、切り替えが可能な冗長メモリセルの個数を設定することを特徴とする請求項5又は6に記載の消去検証方法。

【請求項8】 前記所定のレベルに達していないメモリセルを前記冗長メモリセルと切り替えることを特徴とする請求項5ないし7のいずれかに記載の消去検証方法。

【請求項9】 複数のデジタル線に接続された複数の不

揮発性メモリセル列と、冗長デジタル線に接続され、前記メモリセルを切り替え可能なM列の冗長メモリセル列とを備え、前記メモリセル列の消去レベルを検出し、前記消去レベルを越えた不良メモリセルを少なくとも1つ有する不良デジタル線の数のカウントし、カウントした値が前記Mを越えるまで前記消去レベルを検出する消去検証処理を継続することを特徴とする消去検出方法。

【請求項10】 M_0 列の冗長デジタル線数から既に切り替えた冗長デジタル線の数mを減算した値Mを設定する設定手段を有し、カウントした値が前記Mを越えるまで前記消去レベルを検出する消去検出処理を継続することを特徴とする請求項9に記載の消去検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性半導体記憶装置に関し、特にメモリセルの消去検証回路を備えた不揮発性半導体記憶装置と、その消去検証回路を用いて行う消去検証方法に関する。

【0002】

【従来の技術】 現在、各種の電子機器に電氣的に書き込み、消去が可能な不揮発性半導体記憶装置（EEPROM）が利用されており、このようなEEPROMの大容量化や高集積化も促進されている。しかし、このようなEEPROMを構成する全てのメモリセルを不良なく完全無欠に製造することは困難であり、歩留まりを極端に低下させてしまう。このため、最近の大規模な半導体記憶装置では、メーカーは半導体記憶装置に予備のメモリセル（以下、冗長メモリセルという）を設けておき、ウェハ検査段階で不良のメモリセルを冗長メモリセルに切り替えるように設定することで、良好な歩留まりを得ている。ウェハ検査段階でのEEPROMの検査は、DRAMやSRAMなどの半導体記憶装置と同様、回路電流やリーク電流が規格を満たすか、あるいは読み書きが正常に行われるか否かなどの検査が行われる。しかしながら、EEPROMはフローティングゲートへの電子注入量によってデータを記憶するようにしているので、DRAMやSRAMなどと異なり、フローティングゲートへ正常に電子が注入できたか否か、また正常に電子が引き抜かれたか否かといった検査項目を追加して確認する必要がある。このような検査の結果、不良のメモリセルが検出されると、不良のメモリセルが存在するアドレスをヒューズやEEPROMセル等に記憶させ、該アドレスがアクセスされたとき、冗長メモリセルに置き替わるようにしている。

【0003】 EEPROMの中でも、フラッシュ型不揮発性半導体記憶装置（以下、フラッシュメモリという）は、メモリセル全体を一括して消去したり、または複数のブロックに分割されたメモリセルのうち所定のブロック単位で消去したりする機能を有する。通常、消去動作はゲートと半導体基板との間に高電圧を印加し、その間

に存在するゲート酸化膜にFN (Fowler-Nordheim) トンネル電流を流して行く。FN トンネル電流は、ゲート酸化膜の膜厚や膜質、あるいは印加電圧などによりばらつきが生じ、例えば、ゲート酸化膜の薄いメモリセルには大きなトンネル電流が流れ、ゲート酸化膜の膜質を劣化させてしまう。ゲート酸化膜の膜質が劣化すると、フローティングゲートの電荷保持特性が悪くなり、時間がたつと記憶内容が変化してしまう。また、ゲートから電子を過剰に引き抜き過ぎると、そのメモリセルは選択されていなくても電流が流れてしまう過消去状態になってしまう。このような問題を防ぐため、フラッシュメモリは、メモリセルの消去動作を、一挙に行うのではなく何回かに分けて行い、消去状態を確認しながら徐々に消去するようにしている。このような確認作業を消去検証と呼ぶ。また、消去状態と過消去状態との境界をリペアレベルと呼び、過消去状態になったか否かを確認する作業をリペア検証と呼び、過消去になったメモリセルは、電子を注入して所定の電子注入量になるよう書き戻し処理を行っている。これら消去検証や書き戻し処理での各検証は、メモリセルのしきい値レベルが所定のレベル範囲以内であるか否かを確認することによって行う。具体的には、メモリセルのゲートに所定の電圧を印加して、所定の電流が流れるか否かを確認している。

【0004】さらに、フラッシュメモリは、電子機器に組み込んだ状態においても、前述のような段階的消去と消去検証の動作を行う必要があるため、フラッシュメモリ自身に消去検証やリペア検証を行う回路を内蔵し、マイクロプロセッサ等から与えられる消去コマンド等によって自動的に消去動作や消去検証やリペア検証を行うようになっている(以下、自動消去処理という)。フラッシュメモリの消去は、消去対象となっている全てのメモリセルが所定のしきい値レベル以下になったかを消去検証で行い、1つでもこの条件を満たしていなければ再度消去と消去検証の処理を繰り返す。全てのメモリセルが所定のしきい値レベル以下になると、フラッシュメモリは消去が完了したことをマイクロプロセッサ等に通知する。なお、書き込み動作についても書き込み検証を前述の方法と同様に行ってもよいが、2値の情報を記憶するメモリセルでは、電子を過剰に注入するようにすることで省略することができる。以上の書き込み、消去、及びこれらの検証処理は電子機器に組み込んだ状態でも、ウェハ段階の検査工程でも同様な処理が行われる。

【0005】図9は従来のフラッシュメモリの自動消去検証処理S400のフロー図である。先ず、図示しないステップで、全てのメモリセルの電子注入量を揃えるため、最初に全てのメモリセルに対して書き込みを行う。その後、全てのメモリセルに対して予め設定した電圧をコントロールゲートは半導体基板(チャネル)間に印加して消去を実行する(S401)。この消去処理では、周知のように、前記書き込み処理によってメモリセルのフロ

ーティングゲートに存在される電子を、前記電圧を印加することによってF-N電流によって半導体基板側に引き抜くことによって当該メモリセルのしきい値レベルを低下させることによって行われる。しかる後、消去したメモリセルに対して、消去対象のメモリセルの先頭アドレスをセットし(S402)、当該アドレスのメモリセルのしきい値レベルを検出し、消去が適正に行われたか否かを検証する(S403)。消去が適正の場合には、消去対象領域の最終のアドレスであるかを判定し(S404)、そうでない場合にはアドレスをインクリメントし(S405)、全てのメモリセルに対して同様の検証を実行する。最終のアドレスまで検証を行うことにより(S406)、消去検証が終了される。また、ステップS403の検証において消去状態にないメモリセルが検出されたときには、再度ステップS401の消去工程に戻り、前記と同じ消去検証の処理を繰り返す。

【0006】すなわち、メモリセルには特性のばらつきが存在しているため、前述の理由により1回の消去動作では全てのメモリセルが完全に消去されないようにしてあり、消去されないメモリセル(フェイルセル)が検出される。そのために全メモリセルに対して再度の消去処理を行なう。この再度の消去処理により、各メモリセルには再度の消去用電圧が印加されるため、各メモリセルのフローティングゲートの電子が更に引き抜かれ、各メモリセルのしきい値レベルはさらに低下される状態となる。これにより、前回の消去では所定のしきい値レベルに達していないメモリセルが、今回の消去によって所定のしきい値レベルに達するようになり、フェイルセルが解消される。そして、この処理を繰り返すことにより、全てのメモリセルが所定のしきい値レベル以下になるまで低下した時点で検証を終了する。なお、S403で、リペア検証を行い、電子を過剰に引き抜き過ぎたメモリセルには、書き込み処理を行い、しきい値レベルに戻す処理を行うこともある。

【0007】

【発明が解決しようとする課題】しかしながら、この消去検証方法では、メモリセルの一部に、しきい値レベルの高いメモリセル(以下、特異メモリセル)が存在している場合には、この特異メモリセルのしきい値レベルを所定のレベルに低下させるまで前記したように消去検証を繰り返すため、消去検証処理時間が長くなるという問題がある。ここで、特異メモリセルとは、不良メモリセルであったり、電子を引き抜き難くて消去に時間がかかるセルを指す。また、このように消去検証を繰り返すことによって、通常のメモリセルのフローティングゲート内の電子が過剰に引き抜かれることになり、そのしきい値レベルがリペアレベル以下になり、メモリセルが過消去状態となったり、負となり、メモリセルが過消去状態となる。図10は消去対象の全メモリセルのしきい値レベルの分布を示す図であり、前記したように主分布から

外れた一部の特異メモリセルのしきい値レベルを所定のしきい値レベルまで下げるように消去検証を繰り返したときには、それまでの処理に長時間を要するとともに、メモリセル全体のしきい値レベルが低下されるため、主分布に属する多くのメモリセルのしきい値レベルが過剰に低下され、大部分のメモリセルが過消去状態にされてしまう。このため、消去検証の後処理として、過消去状態のメモリセルに対してしきい値レベルを本来のレベルにまで復旧させるための書き戻しを行っているが、この書き戻し処理において書き戻し対象となるメモリセル数が多くなり、書き戻し処理時間が長くなる。このように、従来の消去検証では、消去検証を複数回繰り返すための処理時間と、書き戻しを行うための処理時間がそれぞれ長くなり、結果として自動消去検証全体の処理時間が長くなるという問題がある。このため、ウェハ検査工程の処理時間が長くなり、不揮発性半導体記憶装置の生産性が悪くなるとともに、製造原価を高くする原因になる。さらに、消去と書き戻しの処理回数が増えるので、ゲート酸化膜が劣化して、フローティングゲートの電子保持特性が短くなり、記憶データが消失するなどフラッシュメモリの信頼性が低下する。

【0008】本発明の目的は、消去検証を短時間で行うことを可能にした不揮発性半導体記憶装置とその消去検証方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、不揮発性メモリセルと、前記メモリセルと切り替え可能な冗長メモリセルと、前記不揮発性メモリセルに書き込みを行い、かつその後消去を行う手段と、前記不揮発性メモリの消去状態を1メモリセル毎に順次検証する消去検証手段と、所定の消去状態にないメモリセルをカウントするカウント手段と、前記カウント手段のカウント値を前記冗長メモリセル数に基づいて設定された設定値と比較する比較手段と、前記比較手段における比較結果に基づいて前記消去検証手段、前記カウント手段、及び前記比較手段を制御する制御手段とを備えており、前記制御手段は、前記カウント値が前記設定値を越えるまでは前記消去検証手段、前記カウント手段及び前記比較手段を、次に検証するメモリセルに対して実行する制御を行うことを特徴とする。ここで、前記比較手段に設定される設定値を、前記冗長メモリセルの切り替え可能な数に設定する設定手段を備えることが好ましい。また、前記制御手段は、前記カウント値が設定値を越えたときには、最初に検証したメモリセルから再度消去検証を行う制御を行い、また、前記制御手段は、前記カウント値が前記設定値以下で消去検証処理が終了したときには、前記所定の消去状態にないメモリセルを前記冗長メモリセルに切り替える機能を有する。

【0010】本発明の不揮発性半導体記憶装置の消去検証方法は、不揮発性メモリセルと、前記メモリセルと切

り替え可能な冗長メモリセルとを備え、前記不揮発性メモリセルに対して書き込み及び消去を行ない、かつ当該メモリセルが所定のレベル状態であるか否かを判定する消去検証処理を含む方法であって、前記メモリセルの消去検証処理を1メモリセル毎に順次行うとともに、前記所定のレベルに達していないメモリセルの個数をカウントし、前記カウント値が前記冗長メモリセルの数に基づいて設定される設定値を越えるまでは、順次次のメモリセルに対する消去検証処理を継続することの特徴とする。ここで、前記カウント値が前記設定値を越えたときは、全メモリセルに対する消去検証処理を最初からやり直す。また、前記設定値として、切り替えが可能な冗長メモリセルの個数を設定する。

【0011】また、本発明の消去検証方法では、複数のデジット線に接続された複数の不揮発性メモリセル列と、冗長デジット線に接続され、前記メモリセルを切り替え可能なM列の冗長メモリセル列とを備え、前記メモリセル列の消去レベルを検出し、前記消去レベルを越えた不良メモリセルを少なくとも1つ有する不良デジット線の数のカウントし、カウントした値が前記Mを越えるまで前記消去レベルを検出する消去検証処理を継続してもよい。この場合、 M_0 列の冗長デジット線数から既に切り替えた冗長デジット線の数 m を減算した値 M を設定する設定手段を有し、カウントした値が前記Mを越えるまで前記消去レベルを検出する消去検出処理を継続する。

【0012】本発明によれば、所定の消去状態に達していないメモリセルであるフェイルセルが設定値を越えるまでは、メモリセルに対する消去を繰り返すことなく、順次次のメモリセルに対する検証を継続する。そのため、メモリセルに対する消去の繰り返し回数を最小限の数に抑えることができ、消去検証処理の時間を短縮することが可能となる。また、消去の繰り返しを最小限の数とすることにより、メモリセルの過剰消去を抑制し、消去処理工程が終了した時点におけるディプレッション状態のメモリセルの数を低減することができ、次の書き戻し処理の処理時間を短縮することも可能となる。この結果、自動消去検証工程の全体の処理時間を短縮することが可能となる。

【0013】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明のEEPROMのブロック構成図である。メモリセル1は、複数のセクタ0～ n として構成されており、また各セクタ0～ n には、それぞれ冗長メモリセル2が設けられ、前記各セクタ0～ n 内のメモリセル1内で検出されたフェイルセルを各セクタ毎に冗長セル2に切り替えることが可能とされている。アドレスコントロール3はマイクロプロセッサやウエハ検査装置（以下、テストという）から供給されるアドレス信号をラッチし、このアドレス信号に基づいてX

デコーダ4でセクタ0～nを選択し、かつ各セクタ内のXライン（ワード線）を選択する。また、前記アドレス信号に基づいてYデコーダ5でYセクタ6を制御して前記メモリセル1の各セクタ0～nを通したYライン

（ディジット線）を選択する。そして、Yセクタ6で選択されたYラインを通して出力される各メモリセルのしきい値レベルをベリファイ回路（検証回路）7で検出し、この検出値に基づいて、選択されたメモリセルが所定の条件を満たしているか否かを検証する。なお、ベリファイ回路7は、通常動作状態では、リファレンス電圧などを変更することでセンスアンプ回路として動作する。該センスアンプ回路の出力は、図示しない出力バッファを介して記憶データを外部に出力する。また、フェイルカウンタ回路8は、前記ベリファイ回路6で行われる消去検証で検出されたフェイルセルの個数をカウントし、そのカウント値を積算する。また、前記フェイルカウンタ回路8には設定値Mが設定されており、フェイルカウンタ回路でカウントされたカウント値が設定値Mを越えたときにカウントオーバ信号COUNTERを後述するステートコントロール11に出力するように構成される。

【0014】一方、コマンドデコーダ10には、テスト等からチップイネーブル信号CE、ライトイネーブル信号WE、データ信号が入力されコマンドをデコードする。ステートコントロール11はコマンドを認識（デコード）することにより、タイマ回路活性化信号TMSTをタイマ回路12に出力し、タイマ回路12を活性化させ、タイマ回路12からの内部動作タイミング信号RATEを生成する。また、内部アドレス発生回路13は、前アドレスの消去検証が終了すると、ステートコントロール11から出力されるアップカウント信号UPCNTの指示に基づき内部アドレスをインクリメントし、前記アドレスコントロール3に出力する。また、前記ステートコントロール11は後述するフローを実行するための各種シーケンス信号を出力し、前記内部アドレス発生回路13、ベリファイ回路7、フェイルカウンタ回路8を制御する。また、外部から供給されるアドレス信号によって消去対象のセクタが選択されて、フラッシュメモリは消去処理を実行する。内部アドレス発生回路13は、セクタ内の下位アドレスを生成し、該内部アドレスをアドレスコントロール3に供給する。内部アドレス発生回路13は、インクリメントした該内部アドレス信号が当該セクタの最終アドレスか否かを判断し、最終アドレスに達していれば最終アドレス信号ADSENDをステートコントロール回路11に供給し、処理を終了する。ステートコントロール回路11は、最終アドレス信号ADSENDが活化していなければ最終アドレスに達していないとして、アップカウント信号UPCNTを内部アドレス発生回路13に出力する。その後、フラッシュメモリは、テスト等に消去検証の終了を通知したり、あるいは

は消去検証処理終了フラグを立ててテスト等が認識できるようにする。なお、終了アドレスはテスト等から供給してもよいし、セクタのサイズが決まっていれば内部アドレス発生回路13に予め設定しておいてもよい。また、最終アドレスの判定は、ステートコントロール回路11が最終アドレス情報を有し、これを内部アドレス発生回路13の出力アドレスと比較することで、判定するようにしてもよい。

【0015】図2は図1の回路構成のフラッシュメモリによる消去検証工程を含むウェハ検査工程におけるフラッシュメモリ検証工程の概略を示すフロー図である。先ず、前処理として基本動作検査工程S10があり、ここで、ウェハ上に形成したフラッシュメモリのチップに検査用プローブを接触させ、チップの各パッドに所定の電圧を印加して、そこに流れるリーク電流量を計測し、リーク電流が所定の範囲内であるか否かを検査する。これをI/Oリーク検査という。また、電源パッドと接地パッド間に所定の電源電圧を供給し、消去動作を除くフラッシュメモリの基本動作、例えば、特定のメモリセルのリーク電流が大きくて所定の記憶データが読み書きできないディジット線が存在するか否か（ディジット線リーク）等を検査する。そして、基本動作検査工程S10によりフェイルセル等の不良が検出され、冗長セル2への置き換えが可能な範囲内であれば、冗長セル2への切り替えを実行し、冗長セルへ置き換えても不良が残るときは不良チップとして廃棄する（S20）。

【0016】次いで、自動消去検証工程S30を実行する。ここで、通常のメモリ・ウェハ検査工程では、テストがアドレス信号をメモリチップに供給して、読み出した信号をテストが判定するが、自動消去検証工程S30は、消去コマンドと消去対象のメモリセクタのアドレス信号をメモリチップに供給するだけで、メモリチップが自動的に消去・検証処理を実行し、処理が終了したことをテストに通知する。先ず、メモリセル1に対する書き込み処理（S100）を実行する。この書き込み処理

（S100）では、全メモリセルに対して書き込みを実行し、所定の書き込みが行われたかの検証を行う。書き込み処理S100の目的は以下の通りである。即ち、

“1”を記憶したメモリセルと“0”を記憶したメモリセルとで、フローティングセルに注入されている電子の量が異なるため、このままの状態で消去すると、これらのセル間で消去状態が異なり、過消去状態のメモリセルが生じやすくなる。これを防止するため、前記書き込み処理S100が、消去処理を実行する前に行われる。

【0017】次いで、本発明において特徴とされるメモリセルに対する消去検証処理（S200）が行われる。この消去検証処理（S200）では、前記書き込みが行われたメモリセルを消去するとともに、消去されたメモリセルが所定のしきい値レベルにまで低下されているか否かを検証する。ここで、この消去検証によって所定の

しきい値レベルに達していないフェイルセルを検出した場合には、そのフェイルセルの個数をカウントし、このカウント値が予め設定された値になるまではそのまま消去検証処理を継続する。また、フェイルセルが設定値を越えたときには、再度最初から消去検証を繰り返す。そして、消去検証処理(S200)が終了した後は、過消去状態にあるメモリセルに対して書き戻し処理(S300)を実行する。その後、冗長セル2への置き換えが可能な範囲内であれば、冗長セル2への切り替え工程を実行し、冗長セルへ置き換えても不良が残るときは不良チップとして廃棄する(S40)。

【0018】次に、前記自動消去検証工程S30を説明する。図3は前記書き込み処理S100のフロー図である。テストはアドレス信号をアドレスコントロール回路3に供給し、消去対象であるメモリセルセクタの先頭アドレスを内部アドレス発生回路13にセットし(S101)、Xデコーダ4及びYデコーダ5でメモリセルを選択し、当該選択されたメモリセルのYラインから出力されるしきい値レベルをペリファイ回路7で検出し、当該メモリセルが書き込み状態であるか否かを判定し(S102)、書き込み状態にないときには、当該メモリセルに対して所要の電圧をフローティングゲートとドレインとの間に印加してフローティングゲートに電子を注入する書き込みを行う(S103)。そして、この書き込みが正しく行われたかを検証する(S104)。この検証は、メモリセルのゲート(Xライン)に所在の電圧を印加して、該メモリセルに流れるドレイン電流をペリファイ回路7で基準電流と比較することで行われたり、メモリセルのゲート(Xライン)に通常の電圧を印加して、該メモリセルに流れるドレイン電流をペリファイ回路7で所定の基準電流と比較することで行われる。ペリファイ回路7が“1”を出力すればパスと判定し、“0”を出力すればフェイルと判定する。この判定結果はステートコントロール回路11に供給される。書き込みが適正でないフェイルである場合には、前記ステップS103を再度繰り返す。そして、適正な書き込み状態となったときには、ステートコントロール回路11は最終のアドレスであるか否かを判定し(S105)、そうでない場合には、ステートコントロール回路11は内部アドレス発生回路13にアップカウント信号UPCNTを出力し、内部アドレス発生回路13は、アドレスをインクリメントし(S106)、次のアドレスのメモリセルに対して同様の書き込みを実行する。なお、前記ステップS102において既に書込状態であることを判定したときには、ステップS105に移行する。そして、全てのメモリセルに対して前記動作を繰り返し、全てのメモリセルに対して書き込みが完了すると、書き込み処理を終了する(S107)。

【0019】図4は前記消去検証処理S200を示すフロー図である。前記書き込み処理S100を行った後、

前記フェイルカウンタ回路8に内蔵されるカウンタのカウント値を $N=0$ とした上で(S201)、消去対象である全メモリセル1に対して同時に一括消去を実行する(S202)。この一括消去処理そのものは従来と同様であり、消去対象である全てのメモリセルのフローティングゲートと半導体基板との間に所定の電圧を印加して行う。しかる上で、テストは消去対象の先頭アドレス信号をアドレスコントロール回路3に供給し、内部アドレス発生回路13に先頭アドレスをセットし(S203)、Xデコーダ4及びYデコーダ5でメモリセルを選択し、かつ当該選択されたメモリセルのYラインからそのしきい値レベルを検出し、ペリファイ回路7において当該メモリセルのしきい値レベルを予め設定してある検証しきい値レベルと比較し、適正な消去が行われているか否かを検証する(S204)。この検証は、メモリセルのゲート(Xライン)に所定の電圧を印加して、該メモリセルに流れるドレイン電流をペリファイ回路7で基準電流と比較することで行われたり、メモリセルのゲート(Xライン)に通常の電圧を印加して、該メモリセルに流れるドレイン電流をペリファイ回路7で所定の基準電流と仕較することで行われる。ペリファイ回路7が“0”を出力すれば、所定のしきい値以下であり、パスと判定し、“1”を出力すればフェイルと判定する。この判定結果はステートコントロール回路11に供給される。しきい値レベルが検証しきい値レベル以下であれば消去は適正であり、次に内部アドレス回路13は最後のアドレスであるか否かを判定し(S205)、最後のアドレスでなければ、アドレス終了信号ADSENDを“0”(非活性化)のままにしてステートコントロール回路11に供給する。その後、ステートコントロール回路11は、アドレス終了信号ADSENDが“0”であることを確認すると、アップカウント信号UPCNTを内部アドレス発生回路13に供給し、内部アドレス発生回路13は、アドレスをインクリメントし(S206)、次のアドレスのメモリセルに対してステップS204以降の同様の消去検証処理を実行する。一方、ステップS204において、当該メモリセルのしきい値レベルが検証しきい値レベルよりも大きく、消去が適正でないことを検出したときは、当該メモリセルをフェイルセルであると判定し、フェイルカウンタ回路8のカウント値を $N=N+1$ とする(S207)。

【0020】そして、 N の値を予め設定した設定値 M と比較する(S208)。この M の値は、冗長セル2によって切り換えが可能なセル数に対応する値である。 N が M 以下の場合には、後に冗長セルへの切り替えを行うことを前提として、前記ステップS205に移行し、最後のアドレスであるか判定し、そうでない場合にはさらに次のアドレスのメモリセルを検証する。このループを繰り返し、 N が M 以下の状態のままで最後のアドレスのメモリセルまで実行することで、消去検証を終了する(S

209)。一方、前記ステップS208において、NがMを越えたときには、ステップS201に戻り、フェイルカウンタ回路8のカウント値をリセットして $N=0$ にした上で、再度ステップS202からの消去検証処理を全メモリセルに対して繰り返す。そして、NがM以下の状態で消去検証処理が終了した時点で消去検証が終了される(S209)。

【0021】前記消去検証処理S200の後には、この消去検証処理S200によって過消去状態又はディプレッション状態とされた過剰消去のメモリセルに対して書き戻し処理S300を行なう。図5はこの書き戻し処理S300のフロー図である。メモリセルの先頭アドレスをセットし(S301)、Xデコーダ4及びYデコーダ5で選択したメモリセルのしきい値電圧を検証する(S302)。当該メモリセルが過消去状態にあるときには、フローティングゲートに電子を注入して書き戻す(S303)。そして、この書き戻しが正しく行われたかを検証し(S304)、書き戻しが正しくない場合には、ステップS303の処理を再度繰り返す。そして、書き戻しが適正に行われたと判定されたときには、最終のアドレスであるか否かを判定し(S305)、そうではない場合にはアドレスをインクリメントし(S306)、次のアドレスのメモリセルに対して同様の処理を実行する。全てのメモリセルに対して書き戻しが完了すると、書き戻し動作を終了する(S307)。なお、ステップS302において、過消去状態にないことを判定したときは、ステップS305に移行する。

【0022】以上のようにして、書き込み処理S100、消去検証処理S200、書き戻し処理S300を終了したときには、図6に消去対象の全メモリセルのしきい値レベルの分布を示すように、フェイルセルとして判定されたN個のメモリセルは、主分布のメモリセルに比較してしきい値レベルが高いことが分かる。そこで、これらのメモリセルを冗長セルと切り替える。この切り替えた冗長セルに対しては、前記した書き込み処理、消去検証処理、書き戻し処理を同様に実行することで、主分布のメモリセルに近いしきい値レベルのメモリセルとして救済することが可能である。

【0023】このように、前記第1の実施形態においては、フェイルセルが設定値Mを越えるまでは、メモリセルに対する消去を繰り返すことなく、順次次のメモリセルに対する検証を継続する。そのため、メモリセルに対する消去の繰り返し回数を最小限の数に抑えることができ、消去検証処理の時間を短縮することが可能となる。また、消去の繰り返しを最小限の数とすることにより、メモリセルの過剰消去を抑制し、消去処理工程が終了した時点におけるディプレッション状態のメモリセルの数を低減することができ、次の書き戻し処理の処理時間を短縮することも可能となる。この結果、自動消去検証工程の全体の処理時間を短縮することが可能となる。この

ため、ウエハ検査工程の処理時間が短くなり、不揮発性半導体記憶装置の生産性が向上できるとともに、製造原価を低減することができる。さらに、消去と書き戻しの処理回数が減るので、ゲート酸化膜の劣化が防止でき、フローティングゲートの電子保持特性が劣化して記憶データが消失することがなくなり、フラッシュメモリの信頼性が維持できる。

【0024】図7は本発明の不揮発性半導体記憶装置の第2の実施形態のブロック構成図である。同図において、第1の実施形態と同一部分には同一符号を付してある。この第2の実施形態では、ステートコントロール11から前記フェイルカウンタ回路8に対して、当該フェイルカウンタ回路8の設定値Mを設定するためのカウントセット信号CNTSETを出力するように構成している。このカウントセット信号CNTSETは、前記回路検証工程S10の後において行われる冗長セルの切り替え処理S20に基づいて前記設定値Mを変更するために出力される。

【0025】図8は本発明の第2の実施形態における検証を説明するための全体のフロー図である。図2に示した第1の実施形態と同一工程には同一符号を付してある。この第2の実施形態では、基本動作検査工程S10においてテストはメモリセル1が備える冗長セル2の数 M_0 を認識した上で、基本動作検査工程S10においてフェイルセルを検出し、当該フェイルセルを冗長セル切り替え処理S20において冗長セルに切り替えたときに、フェイルカウンタ回路8の設定値Mを、冗長セルの数 M_0 から切り替えたセル数 m を差し引いた値、すなわち、消去検証工程S30においてフェイルセルを切り替えることが可能な冗長セルの数 $M=M_0-m$ とする。これを受けて、この実施形態では、自動消去検証工程S30の前段に設定値 $M(M=M_0-m)$ をテスト及びフェイルカウンタ回路8に設定する工程(S50)を加入することにより、以降の消去検証工程S30では、実際に切り替えが可能な残存する冗長セルの個数 $M=M_0-m$ に基づいた自動消去検証工程が実現できる。具体的には、ステップS10、S20で、テストは不良メモリセルの数 m を検出して、ヒューズ等にそのアドレスを設定するとともに、残りの冗長セルの数 $M(=M_0-m)$ を計算する。テストは該設定値Mをデータ信号としてフラッシュメモリに供給し、コマンドデータ回路10はこれをステートコントロール回路11を介してフェイルカウンタ回路8に設定する。

【0026】なお、冗長セルへの切り換え処理が複数ステップにあるときには、S50の処理は冗長セル数 M_0 からそれまでに切り替えたセル数 $m_1, m_2 \dots$ の総和を引いた設定値Mとなり、 $M=M_0-m_1-m_2 \dots$ となる。また、前述の消去検証は、予め冗長セルについても行われており、不良となった冗長セルの数 m_r は設定値から減算されている($M=M_0-m_r-m_1-m_2$)。

…。なお、自動消去検証工程S30自体は第1の実施形態と同じであるので、説明は省略する。したがって、この第2の実施形態では、図8に示したメモリセル1の各セクタ0～nにそれぞれ M_0 個の冗長セルが設けられ、基本動作検査工程S10において各セクタでそれぞれ異なる数の冗長セルの切り替えを行ったような場合に、各セクタ毎に消去検証を実行して各セクタ毎で冗長セルへの切り替えを行う場合に有効となる。

【0027】なお、以上の説明はメモリセルを1メモリセル単位で検証する例を示しているが、1バイト単位、あるいは所定のメモリセル単位で検証する場合にも本発明を適用することが可能である。ただし、この場合には、冗長メモリセルについても1バイト単位、あるいは所定の数単位での切り替えが可能であり、かつフェイルカウンタ回路に設定される設定値は、切り替える冗長メモリセルの前記した単位の数に設定することは言うまでもない。また、上述の実施形態では、メモリセル単位で冗長セルに切り替えるとして説明したが、デジット線単位であってもよい。このとき、1つのデジット線に複数の不良メモリセルが存在していても、切り替える冗長セルのデジット線数は1つである。また、本発明は、行方向に冗長セルを設けてワード線単位で不良のワード線を冗長ワード線に切り替えるようにしたメモリにも適用できる。このときは、列方向の冗長セル列数Mをフェイルカウンタに設定するとともに、行方向の冗長セル行数Qをフェイルカウンタの別レジスタに設定する。また、ペリファイ回路とフェイルカウンタをフラッシュメモリのチップ内に設けることで、テスト側の処理負荷が低減できるので、テストは多数のメモリを同時に検査することができるようになり、半導体記憶装置の生産性をさらに向上できる。

【0028】

【発明の効果】以上説明したように本発明は、所定の消去状態に達していないメモリセルであるフェイルセルの数が設定値を越えるまでは、メモリセルに対する消去を繰り返すことなく、順次次のメモリセルに対する検証を継続することにより、全メモリセルに対する消去検証処理を繰り返すことが少なくなり、自動消去検証処理を短時間で行うことが可能となる。また、消去検証処理によって過剰消去されるメモリセルの数が少なくなり、自動

消去検証処理の後に行われる書き戻し処理を短時間で行うことが可能となる。これにより、EEPROMのメモリセルの自動消去検証処理を含む検証工程を短時間で行うことが可能となる。さらに、ウエハ検査工程の処理時間が短くなり、不揮発性半導体記憶装置の生産性が向上できるとともに、製造原価を低減することができる。また、消去と書き戻しの処理回数が減るので、ゲート酸化膜の劣化が防止でき、フローティングゲートの電子保持特性が劣化して記憶データが消失することがなくなり、フラッシュメモリの信頼性が維持できる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置の第1の実施形態のブロック構成図である。

【図2】不揮発性半導体記憶装置の検証方法の全体工程を示すフロー図である。

【図3】書き込み処理のフロー図である。

【図4】消去検証処理のフロー図である。

【図5】書き戻し処理のフロー図である。

【図6】消去検証処理時のメモリセルのしきい値レベルの分布を示す図である。

【図7】本発明の第2の実施形態のブロック構成図である。

【図8】第2の実施形態の検証方法の全体工程を示すフロー図である。

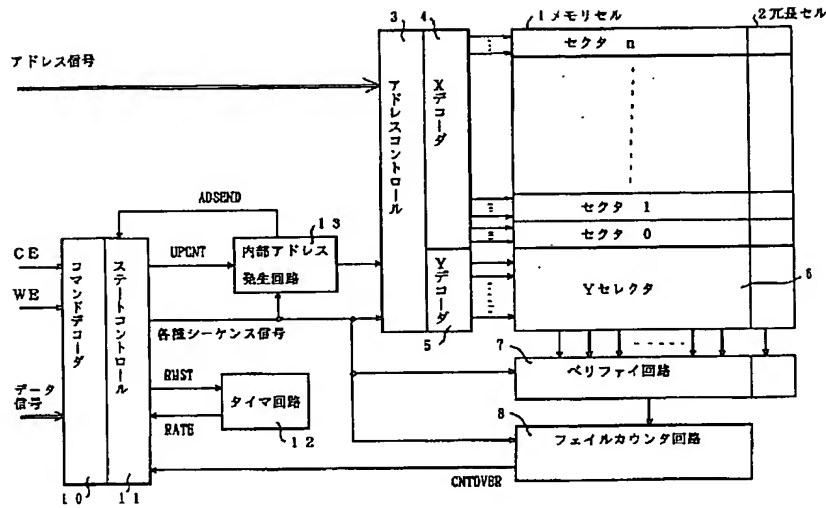
【図9】従来の消去検証処理のフロー図である。

【図10】従来の消去検証処理時のメモリセルのしきい値レベルの分布を示す図である。

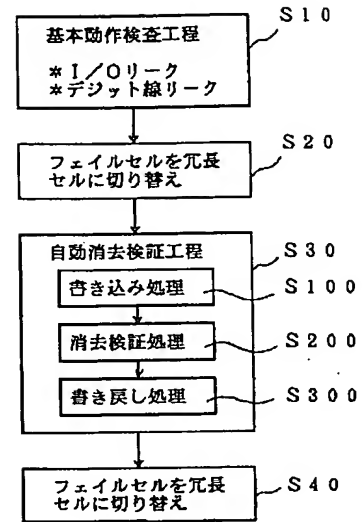
【符号の説明】

- 1 メモリセル
- 2 冗長メモリセル
- 3 アドレスコントロール
- 4 Xデコーダ
- 5 Yデコーダ
- 6 Yセクタ
- 7 ペリファイ回路
- 8 フェイルカウンタ回路
- 10 コマンドデコーダ
- 11 ステートコントロール
- 12 タイマ回路
- 13 内部アドレス発生回路

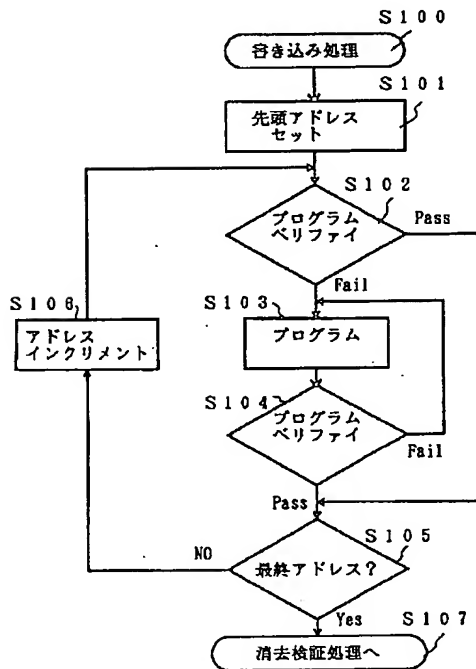
【図1】



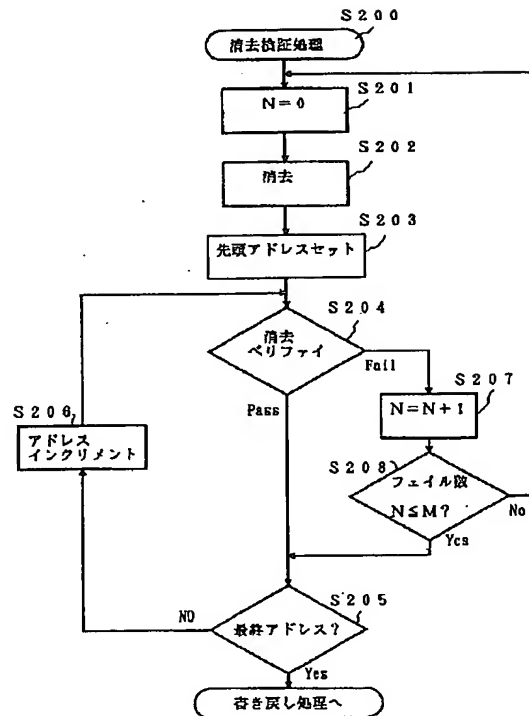
【図2】



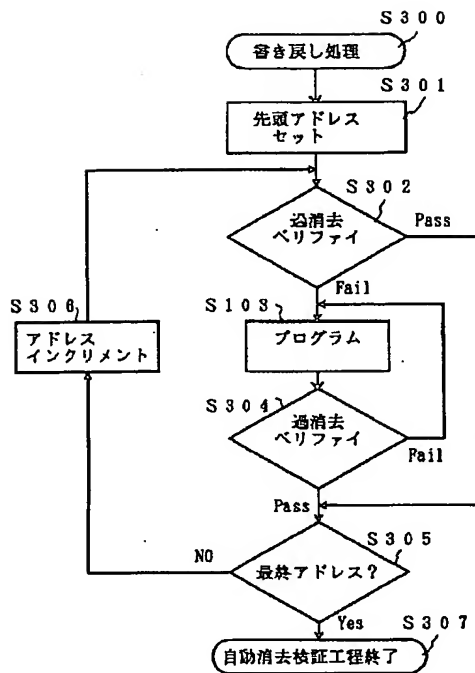
【図3】



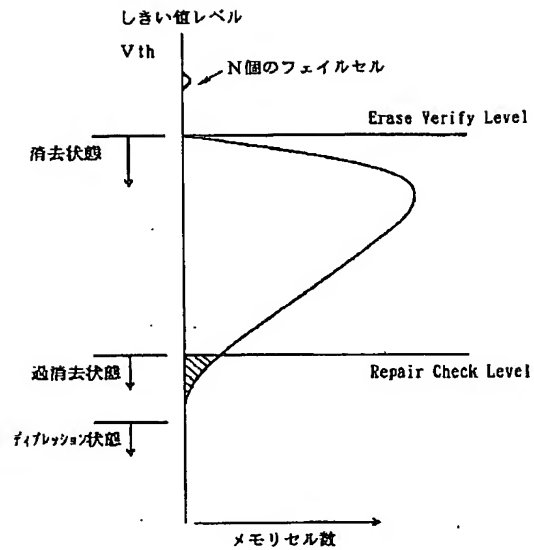
【図4】



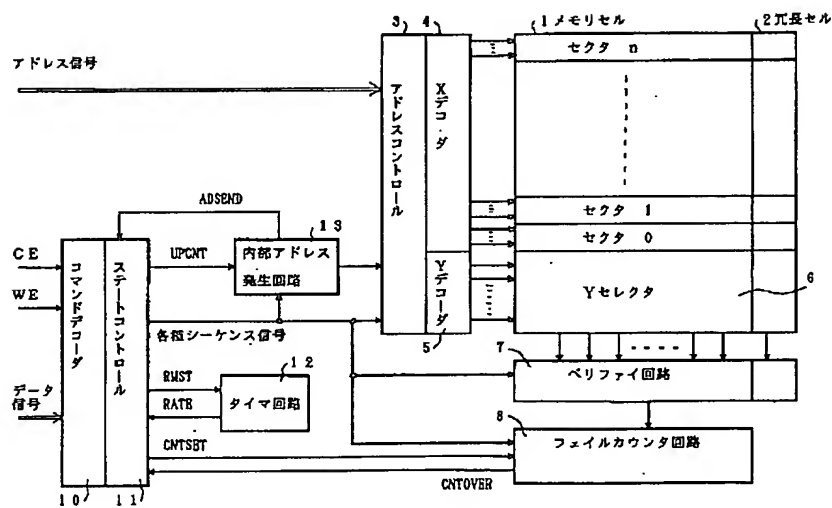
【図5】



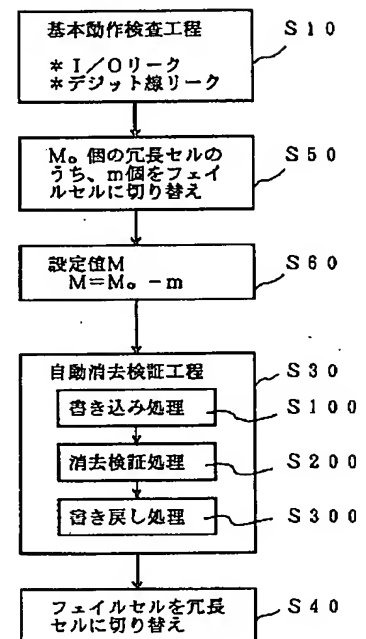
【図6】



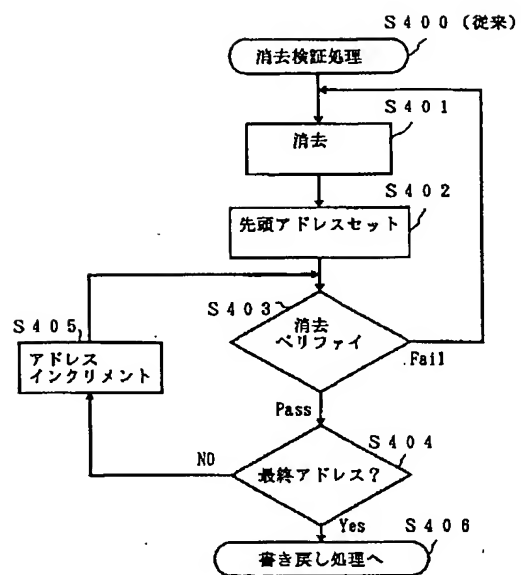
【図7】



【図8】



【図9】



【図10】

